**Bitácora de Trabajo**

**Adrián Muñoz Alvarado**

**Christopher Rodriguez Cordero**

**Randall Bolaños López**

**Bitácora de Trabajo - 5 de marzo de 2025**

**Actividad:** Desarrollo de un decodificador de 4 bits a BCD en SystemVerilog

**Estado:** Avance parcial

**Progreso**

* Se diseñó la estructura del decodificador sin case.
* Se definieron las entradas y salidas.
* Se inició el testbench con pruebas iniciales.
* Se revisó la configuración para la FPGA.

**Tablas de Verdad**

**Conversión de Binario a BCD y Representación en Display de 7 Segmentos**

| **Binario (4 bits)** | **BCD (Decena, Unidad)** | **Display 7 segmentos (Decimal)** |
| --- | --- | --- |
| 0000 | 0000 0000 | 0 |
| 0001 | 0000 0001 | 1 |
| 0010 | 0000 0010 | 2 |
| 0011 | 0000 0011 | 3 |
| 0100 | 0000 0100 | 4 |
| 0101 | 0000 0101 | 5 |
| 0110 | 0000 0110 | 6 |
| 0111 | 0000 0111 | 7 |
| 1000 | 0000 1000 | 8 |
| 1001 | 0000 1001 | 9 |
| 1010 | 0001 0000 | 10 |
| 1011 | 0001 0001 | 11 |
| 1100 | 0001 0010 | 12 |
| 1101 | 0001 0011 | 13 |
| 1110 | 0001 0100 | 14 |
| 1111 | 0001 0101 | 15 |

**Próximos Pasos**

* Corregir errores en la conversión.
* Completar pruebas en el testbench.
* Implementar en FPGA y verificar salida.

**Bitácora de Trabajo - 6 de marzo de 2025**

**Actividad:** Desarrollo de un decodificador de 4 bits a BCD en SystemVerilog

**Estado:** Completado

**Progreso**

* Se finalizó el diseño del decodificador sin case.
* Se completó y validó el testbench con pruebas para 8 valores diferentes.
* Se implementó el decodificador en la FPGA.
* Se verificó la correcta visualización en los displays de 7 segmentos.

El decodificador funciona correctamente, convirtiendo los valores binarios de 4 bits a su representación en BCD y mostrando la salida en los displays de 7 segmentos en la FPGA.

**Consulte el avance desde Github**

**https://github.com/Randall-BL/Rbolanos-Amunoz-Crodriguez-digital-design-lab-2024.git**